

METHOD AND DEVICE FOR COLLECTING INFORMATION ON USE OF PACKET NETWORK

Patent number: JP11127198

Publication date: 1999-05-11

Inventor: WARD ROBERT G

Applicant: HEWLETT PACKARD CO

Classification:

- **international:** H04L29/06; H04L12/56; H04L29/06; H04L12/56; (IPC1-7): H04L12/56; H04L12/24; H04L12/26; H04L29/14

- **european:** H04L29/06

Application number: JP19980218831 19980803

Priority number(s): US19970904511 19970801

Also published as:

E P0895376 (A2)

US 6304903 (B1)

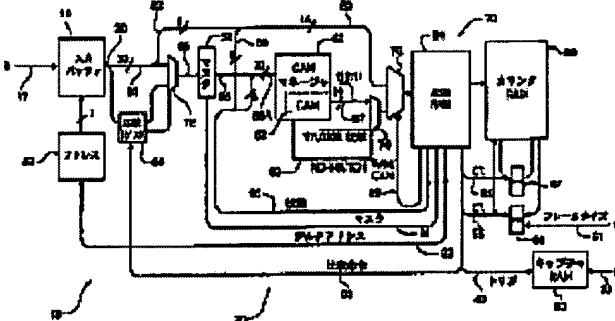
E P0895376 (A3)

[Report a data error here](#)

Abstract of JP11127198

PROBLEM TO BE SOLVED: To analyze many different packet network protocols by preparing an electronic look-up table which analyzes at least a part of a data packet and outputs the signals, including a statistical information signal.

SOLUTION: A simplified protocol analyzer 15 includes an input buffer 18, an address generator 52, a comparison register 54, a mask 56 and an ASM (algorithm state machine) 20. The buffer 18 receives an input from a bus 16 via a line 17 and selects the frame headers from every frame to send them to a frame header buffer. The protocol decision algorithms are programmed in a CAM 62 and an ASM RAM 64 and successively check various fields of frames to decide the type of a protocol. Then a look-up table using the ASM 20 is produced and utilizes the CAM 62 to quickly identify a long data part.



Data supplied from the esp@cenet database - Worldwide

PCT/F1459

PCT/JP03/13075③

7

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-127198

(43)公開日 平成11年(1999)5月11日

(51) Int.Cl.⁸
 H 0 4 L 12/56
 12/24
 12/26
 29/14

識別記号

F I
 H 0 4 L 11/20 102Z
 11/08
 13/00 313

審査請求 未請求 請求項の数1 O.L (全 19 頁)

(21) 出願番号 特願平10-218831

(22) 出願日 平成10年(1998)8月3日

(31) 優先権主張番号 904511

(32) 優先日 1997年8月1日

(33) 優先権主張国 米国 (U.S.)

(71) 出願人 398038580

ヒューレット・パッカード・カンパニー
HEWLETT-PACKARD COMPANY

アメリカ合衆国カリフォルニア州パロアルト
ハノーバー・ストリート 3000

(72) 発明者 ロバート・ジー・ワード

アメリカ合衆国コロラド州80920, コロラド・スプリングス, ミスティ・メドウズ・ドライブ・3670

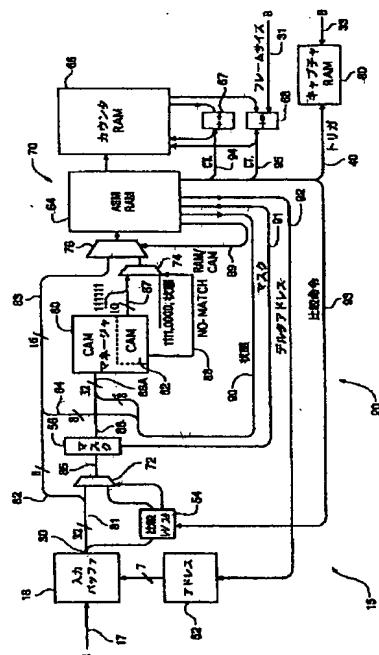
(74) 代理人 弁理士 古谷 鑑 (外2名)

(54) 【発明の名称】 パケット網の使用に関する情報を収集する方法及び装置

(57) 【要約】

【課題】 プロセッサを含まずソフトウェアで動作せずGbyteという伝送速度でもパケット網上の全データフレームを解析でき再プログラムが容易なプロトコルアナライザを提供すること。

【解決手段】 入力バッファ(18), ルックアップテーブル(20), 及びカクタメモリ(66)を備えた、パケット網(16)統計を収集するプロトコルアナライザ(15)。入力バッファはフレームヘッダバッファを備え、ルックアップテーブルはCAM及びRAMを含む状態マシンを備えている。前記フレームヘッダバッファにフレームが記憶される一方その所定部分を前記CAM及びRAMが解析する。該データ部分が8ビット以下の場合、該データ部分がRAMに入力され、RAMは該データ部分が示す場所に記憶された命令を出力する。該データ部分が8ビットより大きい場合には該データ部分がCAMに入力され、CAMは対応する命令が記憶されたRAMアドレスを出力する。該データ部分を更に解析する命令には、解析すべき次のデータセグメントの場所を示すアドレスオフセットが含まれる。



【特許請求の範囲】

【請求項1】パケット網(16)上のネットワーク統計情報を収集する装置(15)であって、前記パケット網上を移動するデータパケットを記憶するための入力バッファ(18)と、前記ネットワーク統計を記憶するための電子的なメモリ(66)とを備えており、前記入力バッファ及び前記電子的なメモリと通信を行う電子的なルックアップテーブル(20)であって、前記データパケットの少なくとも一部を解析し、及び前記統計情報を表す統計信号(94,95)を含む出力信号を提供する、電子的なルックアップテーブル(20)を備えており、該ルックアップテーブルが状態マシン(20)を備えていることを特徴とする、ネットワーク統計情報収集装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にネットワーク統計と呼ばれる通信バスの使用についての情報の収集に関し、特に、連想記憶装置(CAM)を用いたパケット網プロトコルアナライザに関する。

【0002】

【従来の技術】データパッケージに関する情報を提供するヘッダ・トレーラ間のデータパッケージで情報を伝送する通信システムは、一般にパケット網と呼ばれる。所与のパケット網で送ることができるパケットには多くの種類があり、それぞれのパケットは、プロトコルと呼ばれる一組の規則または規約によって定義されている。パケットまたはフレームは、一般にヘッダ、トレーラ、及び該ヘッダ・トレーラ間に挟まれたペイロード(payload)を含む。所与のパケットまたはフレームのプロトコルは、一般にフレームヘッダ及びフレームトレーラの内容、並びにフレーム内のデータパッケージまたはペイロードの相対位置を定義する。プロトコルアナライザは、パケット網の通信バスに接続され、バス上を移動しているパケットに関する情報を収集して記憶する。かかる情報は、例えば、IBM(登録商標)、Novell(登録商標)、AppleTalk(登録商標)といったパケットの種類、フレームのビット数、及びその他の多くの様々な情報を含むことが可能である。この情報は、ネットワークの設計者及びスーパーバイザが、装置の要件やネットワークの問題点の原因を決定する場合、及び一般にはネットワークを管理する場合に有用なものである。

【0003】従来、プロトコルアナライザは、パケット情報を収集して記憶するために、ソフトウェアによってプログラムされたマイクロプロセッサを利用してきた。最先端技術によるデータ通信網は、極めて高速なものであり、数Gbit/秒という速度でデータ転送を行う。ソフトウェアベースのシステムは、かかる高速データシステムにおいて到来するトラフィックの流れについていくことができない。この問題に対する従来の1つの一般的な解決策は、データをサンプリングすることである。この

ため、データは、統計的な特性を有するものとなり、「ネットワーク統計」という用語が用いられる。かかる従来のプロトコルアナライザは、不正確な場合があり、また幾つかの事象が完全に失われることがある。この問題に対する従来の解決策はまた、所望でないフレームを除去するための事前フィルタリングを含むものであり、このため、ソフトウェアがトラフィックを処理する前のパケット転送速度が低下する。しかしながら、全て又は大部分のフレームが、サンプリングすることが望ましいフレームである場合には、この解決策はうまく機能しないものとなる。

【0004】もう1つの解決策は、所定のアルゴリズムを利用するカスタム集積回路(IC)を使用して、サンプリングを有意のフレームを選択することである。しかしながら、研究開発市場をターゲットにしたプロトコルアナライザは、どのサンプリング解決策も許容不能なものとなる。研究開発者は、近似ではなく絶対的な測定値を求めている。更に、ギガビットというデータ転送速度では、サンプリング速度は、トラフィック速度と比較して、意味のある測定を行うにはアルゴリズムがもはや有効でなくなるほど低速となる。

【0005】状態マシンは、電子業界で公知のものであるが、これまでプロトコルアナライザとして用いられることはなかった。その主な理由は、非常に多数の異なるパケット網プロトコルが存在し及びその各プロトコルが極めて複雑であるため、プロトコルを解析することが可能な状態マシンは非常に大きくて複雑であるが故に実施不能なものであると当業界で信じられてきたことにあら。更に、新しいプロトコルが絶えず導入され、昔のプロトコルが絶えず変化し、実質的にハードウェアである状態マシンを再プログラムするよりも新しい改訂されたプロトコルを扱うソフトウェアプログラムを変更する方がはるかに容易であることは周知である。

【0006】

【発明が解決しようとする課題】本発明は、バス通信データを収集して記憶する状態マシンを設けることにより、従来のプロトコルアナライザ及びネットワーク統計方法における上述その他の問題を解決するものである。

【0007】

【課題を解決するための手段】該状態マシンは、完全にハードウェアベースのものであり、ソフトウェアを利用するプロセッサを含まない。その結果として、該状態マシンは、ギガヘルツという速度で動作することができ、データのサンプリングを必要としない。

【0008】該状態マシンはまた、ソフトウェアを記述するのと同様に容易に再プログラムすることが可能なCAM及びランダムアクセスメモリ(RAM)を含み、このため、プロトコルが絶えず変化しても本発明によるプロトコルアナライザに問題が生じることはない。

【0009】該プロトコルアナライザは、入力バッフ

ア、ルックアップテーブル、及びカウンタメモリを備えている。前記入力バッファはフレームヘッダバッファを含む。前記ルックアップテーブルはCAM及びRAMを含む状態マシンを含む。前記フレームヘッダバッファにフレームが記憶される一方、その所定部分を前記CAM及びRAMが解析する。1つのデータ部分が8ビット又はそれ未満の場合、該データ部分はRAMに入力され、該RAMは、該データ部分により示される場所に記憶された命令を出力する。また、該データ部分が8ビットよりも大きい場合には、該データ部分がCAMに入力され、該CAMは、対応する命令が記憶されたRAMアドレスを出力する。該命令は、カウンタメモリの所定のレジスタ内のカウントをインクリメントする命令と、カウンタメモリ内に新しいカウントレジスタを追加する命令と、パケット網上を移動する特定のデータセグメントをキャプチャRAMに記憶させるためのスナップショットトリガを生成する命令と、該データ部分を更に解析する命令とを含むことができる。

【0010】本発明は、パケット網上のネットワーク統計情報を収集する装置を提供する。該装置は、パケット網上を移動するデータパケットを記憶する入力バッファと、状態マシンを含み、該入力バッファと通信を行う、電子的なルックアップテーブルであって、前記データパケットの少なくとも一部を解析し、及び統計情報を表す統計信号を含む出力信号を提供する、電子的ルックアップテーブルと、該ルックアップテーブルと通信を行い、ネットワーク統計を記憶する、電子的なメモリとを備えている。前記状態マシンは、連想記憶装置(CAM)を含むことが好ましい。前記状態マシンは、更にランダムアクセスメモリ(RAM)を含むことが好ましい。入力バッファは、ビット数が所定数よりも大きい場合にデータパケットの一部をCAMに入力し、及びビット数が所定数以下の場合にデータパケットの一部をRAMに入力する、論理ユニットを含むことが好ましい。この所定のビット数は8ビットであることが好ましい。前記状態マシンは、CAMを含む連想記憶装置(CAM)マネージャ論理ユニットと、RAMを含むランダムアクセスメモリ(RAM)マネージャ論理ユニットとを備えており、前記出力信号は、前記RAMマネージャ論理ユニットから出力される信号からなることが好ましい。前記状態マシンは、フィールドプログラマブルゲートアレイ(又は書き換え可能ゲートアレイ)(FPGA)を含むことが好ましい。本装置は、更に、前記状態マシンと通信を行うキャプチャRAMを含むことが好ましい。前記状態マシンは、入力及び出力を備えており、該出力が該入力に電気的に接続されることが好ましい。前記出力信号は、メモリの所定レジスタ内のカウントをインクリメントする命令と、メモリ内に新しいカウントレジスタを追加する命令と、パケット網上を移動する特定のデータセグメントをキャプチャRAMに記憶させるためにスナップシ

4
ヨットトリガを生成する命令と、データ部分を更に解析する命令とからなるグループから選択された命令を含むことが好ましい。パケット網上には連続的に移動する複数のデータパケットが存在し、前記バッファが該複数のパケットを記憶し、複数の状態マシンが存在し、該状態マシンのうちの異なるものが前記データパケットのうちの異なるものを解析することが好ましい。該データパケットは、ヘッダを含み、前記入力バッファが、該データパケットのヘッダを記憶するヘッダバッファを含むことが好ましい。前記状態マシンは、スイッチ間リンク(1SL)ヘッダ検出器を含むことが好ましい。前記入力バッファは、一般に FIFOと呼ばれる先入れ先出しレジスタを含むことが好ましい。前記出力信号がトリガ信号を含み、本装置が、トリガ信号に応じて特定のデータパケットのPCI(peripheral component interconnect)アドレスを記憶する論理ユニットを含むことが好ましい。本装置は、内部バスと、パケット網上を移動する信号を内部バスへと多重化するマルチプレクサを含むことが好ましい。前記電子的なメモリが、第1のカウンタ部分及び第2のカウンタ部分を含み、本装置が、更に、前記第1のカウンタ部分及び前記第2のカウンタ部分を、カウンタを使って統計情報を収集するアクティブ状態とカウンタを読み出す非アクティブ状態とにスワッピングする、ハートビート(heartbeat)制御論理回路を含むことが好ましい。前記データパケットの一部が、該データパケット中の第1のアドレスに配置された第1の信号を含み、前記出力信号が、オフセット値に対応するデルタアドレス信号を含み、前記状態マシンが、該デルタアドレス信号に応じて、前記第1のアドレスから前記オフセット値だけオフセットされた前記データパケット中の第2のアドレスに対応するアドレス信号を提供するアドレス生成器を含むことが好ましい。
【0011】別の態様では、本発明は、パケット網上のネットワーク統計情報を収集するための装置であって、パケット網上を移動するデータパケットを記憶するためのバッファと、該バッファと通信を行い、前記データパケットの少なくとも一部を解析し、統計情報を表す統計信号を含む出力信号を提供する、連想記憶装置(CAM)を含む電子的なルックアップテーブルと、該ルックアップテーブルと通信を行い、前記ネットワーク統計を記憶する、第1の電子的なメモリとを備えた、装置を提供する。好適には、状態マシンが第2の電子的なメモリを含み、前記出力信号が該第2の電子的なメモリ内のアドレスを含むものとなる。前記ルックアップテーブルは、前記データパケットの一部がCAM内のデータと一致しない場合に所定の信号を出力する信号セレクタを含むことが好ましい。該ルックアップテーブルが、前記CAMに情報を書き込むための論理ユニットを含み、前記信号が、前記CAMに対する新しい内容パターンの書き込みを前記論理ユニットに行わせる命令を含み、該新し

い内容パターンが、本装置により未だ確認されていないパケット網上を移動するデータパケットパターンの一部に対応するものであることが好ましい。

【0012】更に別の態様では、本発明は、パケット網上のネットワーク統計情報を収集するための装置であって、該パケット網上を移動するデータパケットを記憶するためのバッファと、該バッファと通信を行って、第1のアドレスに配置されたデータパケットの第1の部分を解析してアドレスオフセット値を提供し、及び前記第1のアドレスから前記アドレスオフセット値だけオフセットされたアドレスにおけるデータパケットの第2の部分を解析して、統計情報を表すネットワーク統計信号を提供する、電子的なルックアップテーブルと、前記ネットワーク統計信号に応じてネットワーク統計を記憶する電子的なメモリとを含む、装置を提供する。前記ルックアップテーブルは、前記オフセット値に対応するデルタアドレス信号を提供するための連想記憶装置(CAM)及びランダムアクセスメモリ(RAM)と、前記デルタアドレス信号に応じて前記データパケットの前記第2の部分のアドレスを生成するアドレス生成器とを含むことが好ましい。

【0013】更に別の態様では、本発明は、パケット網上のネットワーク統計情報を収集する方法であって、パケット網上を移動するデータパケットをバッファに記憶し、第1のアドレスに配置されたデータパケットの一部を表す第1の信号を電子的な状態マシンに入力して、オフセット値に対応するデルタアドレス信号を生成し、前記第1のアドレスから前記オフセット値だけオフセットされた第2のアドレスに配置されたデータパケットの一部を前記電子的な状態マシンに入力して、統計情報信号を生成し、該統計情報信号に関連する信号を電子的なメモリに記憶し、これによりネットワーク統計を記録する、という各ステップを含む、方法を提供する。

【0014】更に別の態様では、本発明は、パケット網上のネットワーク統計情報を収集する方法であって、パケット網上を移動するデータパケットをバッファに記憶し、前記データパケットの少なくとも一部を表す第1の信号を電子的な状態マシンに入力して、該状態マシンに第2の信号を出力させ、該第2の信号に関連する信号を電子的なメモリに記憶し、これによりネットワーク統計を記録する、という各ステップを含む、方法を提供する。前記第1の信号を入力して前記第2の信号を生成させる前記ステップは、該第2の信号を逆に前記状態マシンに入力して第3の信号を出力させるステップを含むことが好ましい。前記電子的な状態マシンは、該状態マシンに入力された信号が連想記憶装置(CAM)に入力されるCAMサイクルと、該状態マシンに入力された信号入力がランダムアクセスメモリ(RAM)に入力されるRAMサイクルとを実行可能なものであり、この場合、前記第2の信号が、該状態マシンにより実行されるべき

次のサイクルがCAMサイクルであるかRAMサイクルであるかに関する命令を含み、該第2の信号を入力する前記ステップが、該命令を入力することにより該状態マシンにCAMサイクル及びRAMサイクルの所定の一方を実行させるステップからなることが好ましい。該第2の信号を入力する前記ステップは、前記第1の信号を前記連想記憶装置(CAM)に入力して該CAMにアドレスを出力させ、該アドレスをランダムアクセスメモリ(RAM)に入力して該RAMに第2の信号を出力させるステップを含むことが好ましい。

【0015】本発明は、極めて高速のプロトコルアナライザを提供するだけでなく、比較的低コストで統計収集システムを製造し再プログラムすることを可能にするような態様で、かかるプロトコルアナライザを実施するものとなる。本発明の多くの他の特徴、目的及び利点については、図面を参照して以下の説明を読むことにより明らかになるであろう。

【0016】

【発明の実施の形態】

20 1 概要

前述のように、本開示は、一般に通信網、特にパケット網の使用における情報を収集して記憶するために使用されるプロトコルアナライザに関する。当業界では、収集された情報は一般に「統計」又は「ネットワーク統計」と呼ばれている。このため、本明細書では、本発明のプロトコルアナライザにより収集される情報を示すためにこの用語を使用することとする。しかしながら、本発明によるプロトコルアナライザにより収集されるデータは本質的に統計でなくてもよいことを理解されたい。何故なら、好ましい実施形態の場合には、ネットワーク上で転送されるパケットについての情報を、ギガビットという転送速度で収集することさえも可能であるからである。

【0017】電子業界では、状態マシンという用語は、ハードウェア速度で作動するディジタルの電子的なハードウェアを意味し、該用語は通常は、ソフトウェアを使用して動作しそれにより純粋なハードウェアシステムよりも遙かに低速のプロセッサベースのシステムと対比されるものである。しかしながら、最も一般的な用法では、該用語は、ソフトウェアベースのシステムを含む別個の論理回路で動作する任意のシステムのことを指す場合もある。本開示では、状態マシンとは、ハードウェアで実現された離散的な(アナログと対照的な)論理的な電子システムを意味する。即ち、本開示では、状態マシンという用語は、ソフトウェアプログラムを実行するプロセッサを含まない。この用語の用法は、当業界における現行の用法と一致するが、該用語の最も広い用法よりも狭いものである。

【0018】本開示では、明瞭化のために、信号ライン及び該信号ラインにより送られる信号と同じ符号で参照

7
することがある。これにより、図面中の数字が大幅に少なくなり、混乱を引き起こすことがなくなる。これは、かかる説明を行う各事例では、各信号ラインがそれぞれ特定の信号を伝えるからである。例えば、図1の信号ライン30はデータ信号30を伝える。多くの場合、信号は、記述的な名称（例えば信号ライン30上に書かれた「DAT A」等）によって参照されることになる。

【0019】図1は、本発明によるプロトコルアナライザ15の一般化形態のブロック図を示している。該ブロック図は、本発明によるシステムが、ソフトウェアを使用しない単純な方法でパケット網フレーム等の複雑な対象を解析する方法の一般的な概念を紹介する上で有用なものである。該一般化されたプロトコルアナライザ15は、入力バッファ18、アルゴリズム状態マシン(ASM)を含むルックアップテーブル20、及び統計カウンタ28を備えている。入力バッファ18は、ライン17を介して、PC Iバス16を通過する情報を受信して記憶する。該入力バッファ18は、ヘッダ及びトレーラ、ヘッダのみなど、バス情報のうちの所定部分だけを受信して記憶するよう設計することが可能であり、また、バストラフィックの統計的ピクチャだけが必要な場合には情報のサンプリングを行うことも可能である。ソフトウェアなしでかかるタスクを遂行するバッファは当業界で周知のものである。入力バッファ18に記憶された情報は、適当なタイミングでルックアップテーブル20に渡され、これにより、ルックアップテーブル20は、バッファ18内に情報がある間、ビジー状態に維持される。該ルックアップテーブル20は、論理的には、バス16を通る可能性のある対象となるデータセグメントに対応するディジタルコードを記憶する第1の部分と、特定のデータセグメントが見つかった場合に行うべき動作に関する命令を含む第2の部分とを有する単純な一対一のテーブルである。該ルックアップテーブル20は、ライン30上から入ってくる各データを、該テーブルの前記第1の部分のデータセットと比較し、これに応じて、該テーブルの第2の部分中の対応する位置に記憶されている所定の信号をライン32,34,36上に出力する。最も単純なレベルでは、ライン36上の出力は、単に、統計カウンタ28内の1つ又は複数のカウンタをインクリメントさせるネットワーク統計情報を表す信号となる。例えば、該テーブルは、NovellTMパケットを示すデータセグメントを認識し、該NovellTMパケットをカウントする統計カウンタ28内のカウンタをインクリメントする。同時に、該テーブルは、入力バッファ18に、ライン34を介して新しいデータを渡すように命令する。しかしながら、通常はテーブルの出力はもっと複雑なものとなる。データセグメントの検査結果は曖昧なものとなり、テーブル20は、その状態を変化させる信号をライン32上に出力し、即ち、前記曖昧さを解決するためにデータセグメントを更に検査するよう自分自身に命令する。また、テーブルの出力は、ライン32,34,36上の信号の組

み合わせとすることも可能である。したがって、ルックアップテーブル20は、状態マシンであり、即ち、提示された各離散データセグメント毎に、何らかの所定の離散的な信号を出し、これによりネットワーク統計が記録されることになる。該プロトコルアナライザ15の装置原理は、プロトコルの構造を殆ど意識しないハードウェア20を有するものであるが、該ハードウェア20は、状態マシンの「ルックアップ」部分の基本的な命令セット中に符号化されたプロトコルを復号するためのアルゴリズムをサポートすることが可能なものである。

【0020】要するに、アルゴリズム状態マシン20(ASM)は、入力データパターン及び現在の状態に依存して、新しいデータを要求し、統計を記録し、命令を実行することを要求し、次の状態へと進む。該命令は、統計レジスタ内のカウントのインクリメント、統計カウンタへの新エントリの追加、特定のデータセグメントを記憶するようキャプチャRAM(図2及び図3参照)にライン40を介して命令するためのスナップショットトリガの生成、データ部分の更なる解析、及び後述する比較の実行等の他のハウスキーピング機能、といったものとすることができる。

【0021】本開示では、プロトコルの決定を行うアルゴリズム状態マシン(ASM)15の実施形態について説明する。該プロトコルの決定に加えて、アドレス情報の統計を収集し、ノード統計を提供し、及び接続統計を提供するように、ルックアップテーブル20にアルゴリズムを書き込んで記憶させることができる。実行されるアルゴリズムの複雑さは、解析可能な1秒あたりのフレーム数に影響を及ぼす。しかしながら、連続するフレームに関して動作する多数のルックアップテーブル20を使用することにより、必要なだけの数のフレームを必要なだけ詳細に処理することが可能なシステムを構築することができる。

【0022】前述の一般的な説明より、ルックアップテーブル20が、大量のデータを保持し、きわめて高速で作動しなければならないことは明らかである。この要件は、高速の連想記憶装置(CAM)と高速のランダムアクセスメモリ(RAM)の組合せによって満たすことができる。CAMは、入力データをメモリに含まれるデータと突き合わせて、該データに対応するアドレスを生成する。RAMは、該メモリに入力されたアドレスに記憶されている内容を出力する。この組み合わせが、大規模で高速のルックアップテーブルとしてどのように働くことができるかについては、図2を参照することにより理解することができる。同図は、本発明によるプロトコルアナライザ15の好ましい実施形態を示す論理ブロック図である。図1は、本発明の概念を分かりやすく紹介するために簡略化されており、このため、図1の各部分と図2の各部分とは一対一に対応しないことに留意されたい。図2もまた実際のプロトコルアナライザ15を単純化

したものであり、例えば、この概要において本質的な機能が不明瞭にならないようにASM20（後に詳述する）の好ましい実施形態の全ての機能を含んではいないことに留意されたい。単純化したプロトコルアナライザ15は、入力バッファ18、アドレス生成器52、比較レジスタ54、マスク56、及びアルゴリズム状態マシン（ASM）20を備えており、該ASM20は、CAM62を含むCAMマネージャ論理回路60、ASM RAM64、及びセレクタ72,74,76を備えている。プロトコルアナライザ15はまた、カウンタRAM66、インクリメントラッチ67、及び加算器ラッチ68を備えている。図2には、ASM20の一部ではないが該ASM20の出力によって駆動されるキャプチャRAM80も示されている。図2の論理システムは、バス16（図1参照）からライン17を介して入力（図2に「B」で示す）を受信する。好ましい実施形態では、バス16はPCIバスである。この図と次の図では、符号81等のラインは、導体の数とそのラインで伝送可能なビット数をスラッシュと数字で示す多心線の場合が多い。例えば、ライン81上の記号「32/」は、そのラインが最大32ビットを同時に伝えることができる事を示している。

【0023】図2に示した実施形態は、プロトコルの決定しか行わないため、各フレームのフレームヘッダ部分だけしか解析する必要がない。したがって、入力バッファ18（図1参照）は、各フレームからフレームヘッダを選出して該フレームヘッダをフレームヘッダバッファ18Bに渡す（図6参照）FIFOバッファセクション18A（図3参照）を備えている。バースト特性を有するPCIバス16上に到来する64ビット幅のデータは、「バースト＊

*解除され(debursterize)、及びFIFOバッファセクション18Aにおいて切り捨てられ、次いでフレームヘッダバッファ18Bに書き込まれ、これによりASM20がデータパケットヘッダに対してランダムにアクセスすることが可能となる。後に詳述するように、入力バッファ18は、ライン30を介して状態マシン20に32ビットのデータセグメントを渡す。

【0024】CAM62及びASM RAM64には、プロトコル決定アルゴリズムがプログラムされる。該CAM62及びASM RAM64中のプロトコル決定アルゴリズムを使用して各フレームの様々なフィールドを順次検査してプロトコルが何であるかを決定するのは、ASM20のタスクである。RAMは、16ビットのルックアップを実施する場合にはCAMよりも高速であり、8ビット以下のプロトコルフィールドについて決定を行う場合に使用される。一方、CAMは、同様のRAMサイクルに比べて動作に必要なサイクル数が多く、各サイクルが遅いため、ルックアップに関してはASM RAMよりも遅いが、最大128ビット幅のパターンまで突き合わせを行うことが可能である。該CAMは、アドレスフィールド及びポートフィールドにとって特に有用なものである。本システムにとって最も必須であるCAM62及びASM RAM64の入出力を先ず理解し、次いで、それよりも重要性の低い他の機能について考察することにより、ASM20の動作を最も容易に理解することができる。CAM及びASM RAMの入出力信号の一般的な形式を表1に示す。

【0025】

【表1】

RAM 入力	スタック (4)	レベル (4)	パターン (8)			
CAM 入力	スタック (4)	レベル (4)	パターン (24, 56 88又は 120)			
出力	スタック (4)	レベル (4)	マスク (4)	アドレス オフセット (6)	命令 (12)	カウンタ索引 (8)

Table 1

【0026】ASM RAM入力は常に16ビットであり、CAM入力は32ビット（以下を参照）であり、CAM及びASM RAMの組み合わせとASM RAMとの出力は両方とも38ビットである。最初の38ビットは、後の解析プロセスのサイクルのためのコードが記憶されるCAM及びASM RAMの特定部分を規定するものである。便宜上、これら8ビットは、2つの4ビットセクションへと分割され、その第1の部分が「スタック」と呼ばれ、第2の部分が「レベル」と呼ばれる。一般に、スタッ�は、特定のプロトコルタイプに対応し、一方、

レベルは、プロトコルタイプの構文解析又は分析を行うために必要な一連のステップの数に対応する。スタッ�及びレベルが1つになって状態マシン20の状態を規定する。このため、解析シーケンスにおける任意のサイクルは、状態x, yによって規定することができる（ここで、xはスタッ�、yはレベルである）。ASM RAM入力の最後の8ビットは、突き合わせが行われるべきフレームヘッダからのパターンであり、CAM入力の最後の24, 56, 88又は120ビットは、突き合わせが行われるべきフレームヘッダからのパターンである。CAMマネージャ

60は、最大で4つの後続の32ビットのデータビットを記憶することが可能であり、CAMに対して32,64,96又は128ビットを提示することができるようになっている。出力の最後の30ビットは、マスクを規定する4ビットと、アドレスオフセット即ちデルタアドレス信号を規定する6ビットと、一般的な命令の12ビットと、カウンタ索引付け情報の8ビットとに分けられる。簡素化のため、図2では、2つの一般的な命令、即ち比較命令及びトリガ命令だけしか示しておらず、これらについてのみ考察することとする。後の詳細な説明から分かるように、CAM62及びASM RAM64からは、この他にも多数の命令が出力される。

【0027】ASM20の動作を理解するために、フレームヘッダバッファセクション50によって新しいフレームからの初期のデータセグメントが outputされたばかりであると仮定する。該新しいフレームのスタック及びレベルは、共にゼロと規定され、即ち、状態は0,0である。データセグメントが8ビット以下の場合、該データセグメントは、ライン82で示すようにASM RAM64へと進む。スタック及びレベルが共に0であるため、状態ライン84により加算されるビットはゼロであり、セレクタ76はデフォルト状態にあり、これによりデータセグメントがASM RAM64へと直接通過することが可能になる。また、対象のデータセグメントが8ビットよりも大きいようなデフォルト状態0,0の場合には、該データセグメントは、ライン81,85,86,86A及びマスク56を介してCAMマネージャ60へと進む。これは、セレクタ76のデフォルト状態が、CAM出力を通過させるものであるからである。第1のデータセグメントが8ビットよりも大きく、及びCAMが一致を発見した場合には、該CAMは、該データセグメントに対応する10ビットアドレスをライン87上に出力し、そのアドレスの前にビット111111を追加する。該ビットは、CAMから入力を得ていることをASM RAMに示す固有のコードである。セレクタ74は、これをASM RAMへと通過させる。これは、セレクタのデフォルト状態が通過するものであるからである。また、CAMが一致を発見しなかった場合には、NO-MATCH(一致なし)ライン88が高レベルになり、セレクタ74は、ライン87上に信号を通過させないが、その代わりに固有の信号、即ち当該状態と連結された信号1111,0000を通過させる。即ち、最初の8ビットが1111,0000であり、最後の8ビットがスタック及びレベルにより規定される現在の状態である。したがって、状態マシン20に提示される第1のデータセグメントが何であれ、ASM RAM64は16ビットアドレスを受信することになる。

【0028】該アドレスに応じてASM RAMが幾つかの出力を生成する。該出力には、フレームヘッダバッファ18Bからの新しい32ビットワードにアクセスするために新しいアドレスを作り出すアドレス生成器52にライ

ン92を介して出力される6ビットデルタアドレス信号と、プロトコルタイプ(最初は未知であり0に設定されている)及びカウント(レベル)に基づく新しい状態x,y(該状態はライン90上に出力される)と、検査する必要があるフレームヘッダバッファ出力の所定のバイトのみを通過させるフィルタ56により解釈されるライン91上のマスク信号出力と、命令ビットであって、該命令ビットのうちの1つがライン89上に出力されて、次のサイクルでRAM(16ビットロックアップ)とCAM(32,64,96又は128ビットロックアップ)とのどちらを使用するかを選択し、その他の命令ビットがライン93を介して比較レジスタ54へと出力される(これについては後述する)、命令ビットとが含まれる。例えば、検査する最初のバイトが、タイプ/長さフィールド(MSB)である場合には、RAMロックアップは、該フィールドが8ビット幅である場合に使用される。該フィールドが0x06以上であるか否かに依存して、RAMは、検査すべき(累積アドレスオフセットを介した)次のフレームヘッダのロケーションと、検査方法(RAMロックアップかCAMロックアップか)とを提供する。このように、状態マシン20は、CAM及びASM RAMの組み合わせに記憶されたアルゴリズムのウォータースルーを行う。プロトコルのあるステップでは、メッセージタイプのインスタンスをカウントし、またソース及び宛先ポートフィールドの比較を行うといった、特別なアクションが必要となる。かかる「特別な」機能は、ASM RAMからの出力によってトリガされる。かかる特別な命令の例としては、CAM比較(comparand)レジスタに対する第1ワードの書き込み、CAM比較レジスタに対する第2、第3、又は第4ワードの書き込み、CAM一致アドレスの取得、ヘッダ処理の終了時におけるアルゴリズムのリセット、フレームカウンタを1だけインクリメントするためのライン94を介したインクリメントラッチ67への命令、及び/又は、特定のバイト数だけバイトカウンタを進めて対象となるプロトコルの帯域幅を記録するためのライン95を介した加算器ラッチ68への命令、2つの16ビット数を比較してその小さい方を選択するためのライン93を介した比較レジスタ54への命令の出力、ISLヘッダの検査、ライン40を介したキャプチャRAM80へのトリガ信号の生成、CAM中の既知のデータパターンのリストに対する未知のデータパターンの追加、及び32,64,96、又は128ビットのCAMパターン突き合わせの選択、が挙げられる。フレームサイズがライン31を介してラッチ68に入力されて、該ラッチ68がプロトコルのバイト数を決定することが可能となり、キャプチャRAM80は、ライン33を介してPCIバスと通信を行い、これにより、該キャプチャRAM80がトリガライン40上の信号に応じて1つ又は一組のフレームを捕捉することが可能となる。

【0029】図2の論理システムは、多くの方法で実施

することができる。その一例及び好ましい実施形態は次の通りである。

【0030】2. 詳細な説明

図3は、プロトコルアナライザ15の好ましい実施形態をハードウェアにより実施したものを示すブロック図である。該プロトコルアナライザ15は、FIFOバッファセクション18A、ASM20、及びキャプチャRAM80を備えている。この実施形態では、ASMは2つの統計セクション314、316を備えている。FIFOバッファセクション18Aは、該第1の統計セクション314及び該第2の統計セクション316にフレームを交互に送る。本発明は、1つの統計セクションを備えた実施形態と3つ以上の統計セクションを備えた実施形態とがあり得ることを考慮している。一般に、統計セクションの数は、1つの統計セクションが1つのフレームを完全に解析するのに要する時間とバス16上のフレームの予想転送速度によって決定される。統計セクションの数は、通常の動作でバス16上を通過する全てのフレームを解析できるように選択される。フレームを深く解析することが所望されるにつれて、統計セクションは多くなる。これは、フレームの解析が深くなるほど多くの時間を要するからである。各統計セクションが同一であるため、本明細書では、第1のセクション314と、該第1のセクション314とFIFOバッファセクション18A及びキャプチャRAM80との相互作用についてのみ考察することとする。

【0031】FIFOバッファセクション18Aは、「バッファFPGA」と記す書き換え可能ゲートアレイ(FPGA)306と、先入れ先出し(FIFO; first-in-first-out)レジスタ310とを備えており、これらはライン303、305上で通信を行う。バッファFPGAは、ライン307、308をそれぞれ介して統計セクションI、IIと通信を行う。前述のように、キャプチャRAM80は、サブバス33を介してPCIバス16と通信を行い、トリガーライン40を介して各統計セクションと通信を行う。統計セクションIは、「統計FPGA」と記すFPGA、CAM62、カウンタRAM66、及びASM RAM64を備えている。好ましい実施形態では、RAM64及びRAM66は、複数のRAM ICで実施された別個のブロックである。

【0032】ここで図4を参照する。同図は、FIFOバッファセクション18Aの詳細を示すブロック図である。該FIFOバッファセクション18Aは、FIFO310、ハンドシェーク論理ユニット410、カレントアドレス抽出論理ユニット412、FIFO制御論理ユニット414、プロセッサインターフェイス論理ユニット416、及びセレクタ422を備えている。該FIFOバッファセクション18Aはまた、PCIクロックライン430と、FIFOバッファセクション18Aを介して統計セクション314へと信号を単に通過させるフレームとを備えている。ハンドシェーク論理ユニット410は、当業界で周知のように、FIFOバッファセクション18Aとバス16に接続されたブ

ロセッサ及び周辺機器との間のデータの交換を調整する機能を実行する。論理ユニット412は、PCIバスのFRA ME信号、TRDY信号、及びIRDY信号を監視し、特定の時間にアクセスされているカレント(現在の)アドレスを抽出する。該論理ユニット412はまた、PCIバス16上の一端のプロセッサと該PCIバス16上の他端のメモリとの間での書き込みサイクルを検出する。該書き込みサイクルは、所定のアドレス範囲によって規定されるものである。最後に、該論理ユニット412は、トリガーライン437がイネーブルにされたときにカレントフレームのPCIアドレスをラッチしてプロセッサ割込みを生成する。FIFO制御論理ユニット414は、フレームヘッダの始まりを検出して、後続の最大128ビットのデータの書き込みを開始させるためのコマンドをFIFOに対して発行する。フレームヘッダは、PCIクロックのアップエッジでFIFOに書き込まれる。この書き込みは8バイト幅で行われることが好ましい。FIFO制御論理ユニット414はまた、統計セクション314からのフレーム要求をライン436を介して受信した際に、FIFO310からの統計セクション314による読み出しを開始する。FIFOがフレームを送り始めた際に、フレーム開始信号がライン435上に送られる。FIFOはまた、該FIFOが1つ未満のフレームを記憶していることをライン434上の「ほぼ空の」(N-EMPTY)信号により統計セクションに通知する。該FIFOは、2つの32ビットサブセクションで動作し、その各サブセクションは、それぞれのデータをライン432、433のいずれかに送る。セレクタ422は、ライン440上の統計セクション314からの信号に応じてライン432、433の何れかを選択して読み出しを行い、該データをライン307を介して統計セクション314へ送る。プロセッサインターフェイス416は、CAM62及びASM RAM64のプログラミングを行い及び統計RAM66から統計を読み出す際に、PCIバス16上のプロセッサとのインターフェイスをとる。該インターフェイス416は、統計セクション中のFPGAに対する接続のために、統計セクション314へのPCIレジスタのアクセスを多重化バス(MUX-BUS)構造へと変換する。具体的には、インターフェイス416は、32ビットのPCIアドレスを2つの16ビットワードへと変換してそれらをMUX-BUSライン439上に直列に通過させるマルチブレクサからなり、該マルチブレクサはまた、32ビットのPCIデータセグメントを2つの16ビットデータワードへと変換してMUX-BUSライン439上に直列に通過させる。これにより、システムの性能を損なうことなくシステム15におけるチップ間の相互接続ラインの数を大幅に減少させることができとなる。即ち、これは、信号がMUX-BUS439を通過するのに長い時間を要するものであるが、該バスは、システム15のプログラミング及び読み出しの場合にしか使用されないため、データを解析する速度に影響を与えることはない。FIFOバッファセクション18A内の論理回

ASM RAMマネージャに出力する。該ASM RAMマネージャは、上記出力に加えて、索引信号、インクリメント信号、及びバイト加算信号を、統計カウンタセクション520に outputする。

【0034】フレームヘッダバッファセクション50は、記憶されているフレームが利用可能であることをN-EMPTY信号が示す場合に、FIFO 310(図4参照)からデータを読み出す。32ビット幅のフレームヘッダは、PCIクロックを利用してフレームヘッダバッファセクション50にクロック入力され、64バイトの最小ヘッダを転送するのに480ナノ秒(ns)を要し、128バイトの最大ヘッダを転送するのに最大960ナノ秒を要する。フレームヘッダバッファセクション50は、ASM RAMマネージャからのアドレス指定情報、状態情報、ISLチェック情報、比較情報、及びマスク情報に基づいて、RAM及びCAMの両方のロックアップパターンを生成する。CAMのアクセスがスケジューリングされる場合、CAMマネージャは、パターン一致時にCAMアドレスを送り、又はNO-MATCH(一致なし)を示す。CAMアクセスのタイプ(1, 2, 3又は4ワード)は、ASMからのCAMサイクルセット命令による実際のパターン突き合わせの前にセットアップすることができる。また、CAMマネージャは、既知のパターンのリストに未知のパターンを自動的に追加するようにセットアップすることもできる。ASMのマネージャは、予めプログラムされたルックアップテーブルに基づいて次のサイクルに関する命令を生成する。統計を収集するために、ASMは、2つの関連するカウンタの一方をインクリメントし、及び/又は、ライン31上のフレームサイズ信号により与えられるようなフレームサイズを他方の関連するカウンタに追加するために、カウンタ索引及び命令を提供する。

「索引」信号は、どのカウンタにアクセスすべきかを統計カウンタに知らせるものである。ASMマネージャは、スナップショットトリガを生成すべきことを示す場合には、PCIアドレスをラッチしてプロセッサに割り込むものをライン437を介してFIFOバッファ18Aに知らせ、また該PCIアドレスにおけるフレームを捕捉することをライン40を介してキャプチャRAMに知らせる。

【0035】ここで図6を参照する。同図は、フレームヘッダバッファセクション50の詳細な論理図を示している。フレームヘッダバッファセクション50は、スイッチリンク(ISL)ヘッダ検出器604、ロードアドレス生成器606、ロードコントローラ608、アドレス生成器52、比較器54、マスク生成器56、ISL信号生成器612、及びフレームヘッダバッファ18Bを備えている。該フレームヘッダバッファ18Bは、8つの16×8ビットレジスタへと分割されたRAMセクション620、セレクタ630, 632, 634と4つのセレクタからなる上側セット634と4つのセレクタからなる下側セット635とに分割された8つの

路は、FIFO以外は全て、バッファFPGA306によって実施される。RAMなどの他の一時記憶用ハードウェアをFIFOの代わりに用いることも可能であるが、FIFOを用いるのが好ましい。これは、瞬間的な転送速度ではなくバス16上の平均データ転送速度についていくだけよいようにシステム15の性能を改善するためには、FIFOを使用することが簡単な方法であるからである。即ち、FIFOは、データが迅速なバーストで到着することを可能にするが、該データはピークバースト速度よりも遅い平均速度で解析される。

【0033】次に、図5を参照する。同図は、統計セクション314の論理構成の概要を示すブロック図である。該統計セクション314を構成する実際のハードウェアは、比較的単純なものであり、図3に示すようなものであることを理解されたい。図5及び後続の図では、統計FPGA320のプログラミングと、CAM62及びRAMS64, 66に対する該統計FPGA320の接続とを規定する論理構成に焦点を当てる。図5は、キャプチャRAM80を除いて、図5に信号が一層詳細に示されていること以外は図2と本質的に同じ内容であり、図5の同じ部品には図2と同じ符号を付してある。統計セクション314は、フレームヘッダバッファセクション50、CAMマネージャ60、ASM RAMマネージャ70、統計カウンタセクション520、及びMUX-BUSインターフェイス510を備えている。PCIクロック信号、データ信号、N-EMPTY信号、及びフレーム開始信号は、FIFOバッファセクション18Aからライン430, 307, 434, 435をそれぞれ介してフレームヘッダバッファセクション50に入力され、選択信号及びフレーム要求信号は、フレームヘッダバッファセクション50からライン440, 436をそれぞれ介してFIFOバッファセクション18Aへと進む。完了信号、デルタ信号、アドレス信号、比較信号、マスク信号、及び状態信号は、ASM RAMマネージャ70からフレームヘッダバッファセクション50に入力される。RAM入力パターン(RIP)は、ライン83を介してフレームヘッダバッファセクション50によりASM RAMマネージャ70へと出力され、CAM入力パターン(CIP)は、ライン86Aを介してフレームヘッダバッファセクション50によりCAMマネージャ60へと出力される。MUX-BUS信号は、ライン439を介してFIFOバッファセクション18AからMUX-BUSインターフェイス510へ入力される。フレームサイズ信号は、ライン31を介して統計カウンタ520に输出され、一方、MUX-BUSインターフェイスは、内部バス530を介して、CAMマネージャ、ASM RAMマネージャ、及び統計カウンタ520と通信を行う。CAMマネージャ60は、CAM読出信号、CAM書込信号、累積信号、CAMサイクルセット信号、及び状態信号を、ライン535を介してASM RAMマネージャ70から受信する。該CAMマネージャ60は、CAM出力パターン信号及びNO-MATCH信号を、ライン87, 88をそれぞれ介して

RAM入力セレクタ、及び4つのセレクタからなる上側セット623と4つのセレクタからなる下側セット624とに分割された8つのRAM出力セレクタ636とを備えている。ASM RAMマネージャ70からライン96を介して入力されたISLチェック信号に応じて、ISL検出器604は、ライン307を介して FIFOバッファ18Aからのデータ信号を読み、ISL信号が検出されたときにライン640を介してISL信号生成器612に信号を出力する。データライン307は、各RAM620のデータ入力にも接続される。ライン430上のPCIクロック信号及びライン435上のフレーム開始信号はロードアドレス生成器606に入力され、その出力は、ライン644を介して各セレクタ634に加えられる。ライン434上のN-EMPTY信号は、選択信号及びフレーム要求信号をライン440,436上にそれぞれ出力するロードコントローラ608に加えられる。ロードコントローラ608はまた、選択信号を、ライン651を介して4つの上側RAM入力セレクタ634とセレクタ630,632とに出力し、及びライン652を介して4つの下側RAM入力セレクタ635に出力する。ライン641上の完了信号は、ロードコントローラ608及びアドレス生成器52に入力される。ライン92上のデルタアドレス信号はアドレス生成器52に入力される。該アドレス生成器52は、上側RAM入力セレクタ634のうちの1つのセレクタと下側RAM入力セレクタ635のうちの1つのセレクタとに4つのアドレスライン655の各々を介して信号を出力する。該アドレス生成器52はまた、ライン643を介してセレクタ636の各々に選択信号を出力する。セレクタ634,635の各出力は、RAMレジスタ620のうちの対応する1つのアドレス入力に接続されている。上側セット621の各RAMレジスタの出力は、セレクタ623の各々に加えられ、下側セット622の各RAMレジスタの出力は、セレクタ624の各々に加えられる。セレクタ623,624の各々の出力はセレクタ632に加えられ、セレクタ625,626の各々の出力はセレクタ630に加えられる。セレクタ630の出力はISL信号生成器612に加えられ、該ISL信号生成器612の出力は、ライン82上に8ビットのRAM入力パターンを提供するものとなる。セレクタ632の出力は比較器54及びセレクタ72に加えられ、ライン93上の比較命令信号は比較器54に加えられ、ライン91上のマスク信号はマスク生成器56に加えられる。セレクタ72の出力はマスク生成器56に加えられる。該マスク生成器56の出力は、ライン86上にCAM入力パターンを提供するものとなる。ライン641,90,91,92,93,96は、ライン534(図5参照)の一部をなす導体であることに留意されたい。

【0036】次に、まだ述べていないフレームヘッダバッファの幾つかの特定の機能について説明する。ISL検出器604は、RAMにデータがロードされた際にパターン01000c0000を探す。該パターンを検出した場合、プロトコルはISLであり、ライン82上のRAMへの出力は、照会時に全てのものに押し込まれる。アドレス生成

器は、デルタアドレス信号を取得し、該デルタアドレス信号を、ラッチした以前のアドレスに追加する。該アドレス生成器は次いで、それぞれ4つのRAMからなるRAMブロック621,622の各々に1つずつ、互いにずれた4つのアドレスを生成する。RAM620は、2つのページとして働き、その一方のページの処理中に他方のページのロードが実行される。これらのページは、「処理中の」側の処理が「完了」し及び「ロード中の」側のロードが完了したことをロードコントローラ608が確認したときにスワップされる。ライン86A上の信号出力は、ライン86上のマスク56からの信号出力が32ビット信号である場合であっても、常に32ビットまたは32ビット未満の信号となる。即ち、初期のサイクル(0,0)では、ライン86上に24ビットが生成され、及びライン90を介して8ビットが追加されて、ライン86A上に32ビット信号出力が生成されるが、その後続サイクルでは、ライン86上に完全な32ビットが生成される。

【0037】ここで、図7にASM RAMマネージャ70を示す。該ASM RAMマネージャ70は、ASM RAM64及びCAM出力-RAMアドレス変換器704を備えており、該変換器704は、CAM62から出力されたパターンを適当なRAMアドレスに変換する。該ASM RAMマネージャ70はまた、セレクタ76、ラッチ708、及びバッファ710,712,714を備えている。前記変換器704には、ライン87を介してCAM出力パターンが入力され、及びライン88を介してNO-MATCH信号が入力される。該変換器704には、信号111111及び特別の場合の信号1111,0000も入力される。ASM RAMマネージャによりライン728上に出力されるCAM読出信号もまた変換器704に入力される。該変換器704の出力はセレクタ76に加えられる。CAM読出信号は、セレクタ76への選択信号としてライン720を介して加えられる。RAM入力パターンはライン82を介してセレクタ76に入力される。内部バスライン532は、ASM RAMマネージャ70との間で多数の信号を搬送するものであり、かかる信号には、セレクタ76に加えられるライン721上のアドレス信号、ASM RAM64に加えられるライン722上の書き込みペブル信号とライン723上のデータ書き込み信号、及びASM RAM64により出力されるライン724上のデータ読出信号が含まれる。これらの信号は、ASM RAMのプログラミング及び読出処理を行う場合に使用される。また、ASM RAMは、完了信号、デルタアドレス信号、比較信号、マスク信号、状態信号、CAM読出信号、CAM書き込み信号、累積信号、CAMサイクルセット信号、索引信号、インクリメント信号、バイト加算信号、ISLチェック信号、及びトリガ信号を、ライン728上に出力する。ラッチ708は、ASM RAM64から出力された信号をラッチする。ライン728は、図5のライン38,40,437,534,535と同じであることに留意されたい。ASM RAMマネージャの機能及びその出力信号

の利用については、既に上述しており、また以下でも説明する。

【0038】CAMマネージャ60の論理回路の詳細を図8に示す。該CAMマネージャ60は、CAM62、バスインターフェイス810、コントローラ812、CAMコマンド生成器814、セレクタ816,820,821,822、及びラッチ826を備えている。内部バス531はバスインターフェイス810に接続される。該バスインターフェイス810は、セレクタ820のための選択信号として働くセレクタ820へのライン836上のバスアクセス信号、セレクタ820への1つの入力として加えられるライン837上のデータ信号、セレクタ821への1つの入力として加えられるライン838上の書きイネーブル信号、及びセレクタ822への1つの入力として加えられるライン839上のデータ／コマンド選択信号を出力する。CAM62によりその32ビットデータ入出力端子D₃₂に出力されるデータ信号は、ライン835Aを介してバスインターフェイス810に加えられる。CAM入力パターン信号は、ライン86Aを介してセレクタ816に入力される。CAM読出信号、CAM書込信号、累積信号、及びCAMサイクルセット信号は、ライン831,832,833,834をそれぞれ介してコントローラ812に加えられる。該コントローラ812は、ライン840を介してCAMコマンド生成器814に信号を出力して、該コマンド生成器814がCAM62により認識可能な適当なコマンドを発行するように指示する。かかるコマンドの例については後に説明する。該CAMコマンド生成器814の出力は、ライン841を介してセレクタ816への1つの入力として加えられる。選択信号は、コントローラ812によりライン842を介してセレクタ816へに加えられる。書きイネーブル信号は、セレクタ821への1つの入力としてコントローラ812によりライン843を介して加えられる。データ／コマンド選択信号は、コントローラ812によりライン844を介して出力され、セレクタ822への1つの入力として加えられる。セレクタ820の出力は、CAM62の32ビットのデータ入出力D₃₂に加えられる。該データ入出力D₃₂は、該信号をライン835B上に出力し、該信号がラッチ826に加えられて、ライン87上にCAM出力パターンが提供される。セレクタ821の出力は、CAM62の書きイネーブル入力／WICに加えられる。セレクタ822の出力は、CAM62のデータ／コマンド選択入力／CMに加えられる。CAM62の一一致フラグ出力／MFOの出力がライン848を介してラッチ826に加えられて、ライン88上にNO-MATCH信号が提供される。ラッチ826は、それに加えられたCAM出力パターン及びNO-MATCH信号をラッチする。【0039】上述のように、ポートD₃₂を介してデータをCAM62に書き込むこともCAM62から読み出すこともできる。入力／WICにおける書きイネーブル信号入力はデータフローの方向を決定する。コマンドもまたポートD₃₂を介してCAM62に入力される。入力／CMに加えられた信号は、入力がデータであるかコマンドであるかを

決定する。出力／MFOにおける信号は、比較サイクル中に突き合わせが行われたか否かを示す。CAMは、ルックアップテーブルとして使用される場合には、2～5サイクルで動作し、1番目から4番目のクロックチック(tick)で、比較すべきデータが入り、それに続くクロックチックで、アドレス又はNO-MATCH信号を出力する。コントローラ812は、CAM書込信号を受信すると、提示されたCAM入力パターンをCAM62の比較レジスタに書き込む。CAMサイクルセット信号は、CAMがデータの突き合わせを行うと予想される前に比較レジスタに書き込まれることになる32ビットワードの数に関する情報を含む。コントローラ812は、CAMサイクルセット信号を受信すると、一時コマンドオーバーライド(TCO)コマンドを使ってCAMのセグメント制御レジスタに対する書込を行い、比較が必要になる前に32ビットワードの予測数をセットする。これは、1つないし4つとすることが可能である。累積信号を受信した際に、比較の結果が不一致の場合には、コントローラは、次の空きアドレスに対するSPD命令をセットし、次いでデータ移動(MOV)コマンドによって比較レジスタが次の空きアドレスに移動される。CAM読出信号を受信すると、コントローラは、読み出しを実行して、CAM内の状態レジスタから一致するアドレスを取得する。プログラミング時には、プロセッサは、データレジスタ及びコマンドレジスタの両者に対して読み書きを行うよう自由にアクセスすることができる。CAMの動作に関する更に詳しい情報については、CAMの仕様書及び資料で調べることができる。

【0040】ここで、統計カウンタセクション520の論理構成を図9に示す。該統計カウンタセクション520は、2つのセクション66A,66Bへと分割されたカウンタRAM66を備えている。該統計カウンタセクション520はまた、アドレスデコーダ904、ハートビート生成器906、ページ選択論理ユニット908、加算器ラッチ68、インクリメントラッチ67、セレクタ920～927、及びバッファ930～933を備えている。カウンタは、2つの別々のカウンタセクションに分割されていると考えることができ、即ち、その第1のセクションは、RAM66A、セレクタ924～926、及びバッファ930,931を備えており、第2のセクションは、RAM66B、セレクタ921～923、及びバッファ932,933を備えている。ページ選択論理回路908とセレクタ926,923との間の接続を除き、第1のセクションと第2のセクションとは設計及び動作が同じであり、このため、第1のセクションについてのみ詳細に考察することとする。後に分かるように、一方のRAMが書き込まれている間に、他方のRAMの内容が保存されて静的な状態になる。デコーダは、ライン533上の内部バス信号を受信し、ライン942を介してセレクタ924～926の各入力に適当な信号を加え、またライン943を介して各セレクタに選択信号を加え、該選択信号は、ライン941を

21

介してセレクタ921～923に加えられる。セレクタ926の出力は、RAM66Aの書込イネーブル入力に加えられ、セレクタ925の出力は、RAM66Aのアドレス入力に加えられ、セレクタ924の出力は、バッファ930を介してRAM66Aのデータ入出力に加えられる。このRAM66Aのデータ入出力は、バッファ931を介してセレクタ920,927の入力に接続される。該セレクタ927の出力は、ライン944を介して内部バスに出力されるデータを提供する。ハートビート生成器906は、ページ選択論理回路908に加えられる出力をライン968上に（好ましくは毎秒1回で）提供する。該ページ選択論理回路908は、ライン950を介してセレクタ926の入力に出力信号を加え、またライン951を介してセレクタ923の入力に別の出力信号を加える。ライン956を介してセレクタ925,922の入力に索引信号が加えられ、ライン957を介してインクリメントラッチ67にインクリメント信号が加えられ、ライン958を介して加算器ラッチ68にバイト加算信号が加えられ、ライン31を介して加算機ラッチ68にフレームサイズ信号が加えられる。セレクタ920の出力は、ライン961を介してインクリメントラッチ67及び加算器ラッチ68に加えられる。索引信号は、RAMのどの内部カウントレジスタに対してインクリメント及び／又はバイト加算を行うかを該RAMに知らせる。典型的には、統計RAM66Aは、100個以上の異なる統計レジスタ又はカウンタを含む可能性がある。

【0041】ハートビート生成器906は、2つのRAM66A,66Bのコンテキストを1秒ごとに切り換える1秒クロックである。即ち、1秒間にわたり一方のRAM例えば66Aが「アクティブ」になり、他方のRAM66Bが「非アクティブ」になる。次の1秒ではRAMの状態が逆転する。RAMがアクティブのとき、入力された統計データは該RAMに記憶される。即ち、RAMが「アクティブ」の間にインクリメントコマンド及び／又はバイト加算コマンドが入ってきた場合は、RAMの適当なレジスタの内容が、対応するラッチに読み込まれ、次いでインクリメント及び／又は加算され、次いでその内容が、前記RAM中の適当なレジスタへと書き込まれる。また、RAMが非アクティブ場合には、該RAMの読み出しを行って、記憶されている統計情報をバス16に接続されたプロセッサに渡すことができる。プロセッサバスは、RAMに対する読出／書込アクセスの制約はないが、アクセスの前にハートビートの状態を観察することになる。プロセッサバスは、初期化を目的とする場合を除き、「非アクティブ」なRAMにしかアクセスしない。

【0042】バッファ及び統計セクションからなるFGPAは、xilinxタイプのFGPAで実施されることが好ましい。適当なCAMとして、MUSIC Semiconductors(2548 Mountain Avenue, Hadkettstown, New Jersey 07840)により製造されたMU9C1965A Wide LANCAMTMがある。RAMは任意の適当な高速のRAMでよい。

10

22

【0043】3. 一例：EthernetによるTCP/IPフレームの構文解析

表2は、本発明によるプロトコルアナライザにより解析される例示的なフレームであり、イーサネット伝送制御プロトコル／インターネットプロトコル(TCP/IP)フレームのブリアンブルを除いたヘッダのフォーマットを示したものである。

【0044】

【表2】

MAC宛先アドレス	
—	—
—	—
MACソースアドレス	
—	—
—	—
Etherタイプ	
Vers/Hdr長さ	サービスタイプ
全長さ	
識別	
断片化	
ライフ時間	プロトコル
ヘッダチェックサム	
ソースIPアドレス	—
宛先IPアドレス	
—	—
TCPソースポート番号	
TCP宛先ポート番号	

Table II

【0045】表2の各々の縦方向に位置する区分即ち行は、2バイトに相当する。例えば、MAC宛先アドレスは、ヘッダの最初の6バイトを占め、Etherタイプは、ヘッダの第13バイト及び第14バイトを占めている。行30が列へと分割されている場合には、それに対応して2バイトが左右に分割されている。例えば、サービスタイプは、ヘッダの第16バイトを占めている。図10は、特定のTCP/IPフレームの構文解析を示すフローチャートである。該フローチャートにおいて、両側が尖った各ボックスは、判定を行うCAM又はASM RAMサイクルを表している。かかる各サイクル毎に、CAM又はASM RAMとの間の入出力がある。該サイクルがCAMサイクルである場合には、その判定ボックスの右上に、32、64、96又は128ビットの何れかのCAMサイクルを示す数字と共にCAMという文字を記載した。そのサイクルについてのASM20の状態を、ボックスの左上に示した。また、両側が尖っていないボックスは、1サイクルの後に行われるステップであり、別のサイクルや決定を行う必要のないものである。表3は、各サイクルについての入力及び出力を示したものである。この場合、通信システムは、Ethernetであり、したがって、プロトコルスタックは、Etherタイプ(ET)フィールドバイト13,14から決定されて、列Etherタイプに示される。

【0046】

【表3】

50

INPUT			OUTPUT				
ET	レベル	パターン	ET	レベル	マスク	アドレス + =	RAM/CAM
リセット時のデフォルト「出力」	0	01000C = 3 bytes of ISL	0	0	1111	0	CAM 第1のCAM32ビットワードを書き込む
0	0	0000xxxx = rest of ISL	0	1	1100	+3	CAM 第2のCAM32ビットワードを書き込む
0	2	xxxxxxxx	0	2	0000	.0	CAM CAM一致アドレスを読み出す
0	3	09xxxxxxxx = 1st byte of ET	0	3	1000	+9	RAM CAMサイクル=32ビットにセット
0	2	0806xx = Full ether type	IP	0	1000	0	CAM 第1のCAM32ビットワードを書き込む
IP	0	06xxxxxxxx = IP prot type	IP	1	1000	-3	RAM IPフレームカウントをインクリメント
IP	1	20xxxxxxxx = frag'n flag	IP	2	1000	-8	RAM TCPフレームカウントをインクリメント TCPバイトカウントにバイトを追加
IP	2	47xxxxxxxx = ver/hdr len	IP	3	0000	+20	RAM 比較器をロード(固有)
IP	3	xxxxxxxx	IP	4	1111	+2	CAM 比較の実行及び最小値の選択 第1のCAM32ビットワードを書き込む
IP	4	nnnnnnnn = port number	IP	5	0000	0	CAM CAM一致アドレスを読み出す
IP	>0	xxxxxxxx	0	0	0000	0	RAM TCPポートカウントをインクリメント フレーム解析を完了(リセット)

Table III

【0047】ここで、表2、表3、及び図10を参照する。第1ステップ1004は64ビットCAMサイクルであり、その状態は初期状態0,0である。ASM20は、入力(I/P)宛先アドレス(DA)がISL宛先アドレスか否かを検査し、それが0x01000c0000と等しいか否かを検査する。このステップは、各フレーム毎に行われる予備ステップであるため、好みの実施形態ではハードウェアで実施され、具体的には、統計FPGA320(図3及び図6参照)で実現されたISLヘッダ検出器604であるが、本システムのフレキシビリティを示すため、ここではCAMサイクルとして示すこととする。この実施形態では、フレームはISLフレームではなく、したがって、この出力は、12バイトだけスキップして最上位のEtherタイプバイトへと移動し及びそれをRAM中で構文解析すべきことをASM20に知らせる。該システムは、ステップ1006でこれを行って、Etherタイプ0x08xxを探す。これは、0x60xxよりも大きいため、802.3の長さのフィールド(802.3 length field)ではない。この出力は、システムが状態0,4になってCAM中のEtherタイプ全体を構文解析することを命令するものとなる。また、該タイプが0x60xxよりも小さかった場合には、システムは状態0,6になり、これは全く異なるアルゴリズム部分(本実施例では図示せず)に至るものとなる、ということに留意されたい。次のステップ即ち状態0,4は32ビットのCAMサイクルであり、したがって、システムはステップ1007でCAMサイクルを32ビットにセットする。ステップ1008は、32ビットCAMサイクルであり、Etherタイプ0x0806はIPとして認識され、したがって、該IPプロトコルタイプに割り当てられたカウンタがステップ1010でインクリメントされ、システム20は、ゼロ番目のIP状態即ちIP,0になり、プロトコルタイプフィールドに向かって11バイトだけ進み、次がRAMサイクルであることを示す。また、Etherタイプが認識されなかった場合には、エラーになり、又は当該フレームがシステムがカウントの対象としないフレームであったことになり、したがって、システムは、状態0,0に戻って、

新しいフレームに注目することになる。ステップ1012では、IPプロトコルタイプが、RAMに読み込まれ、TCPとして認識される。この場合も、タイプが認識できなかっただけでは、エラーになり、又は当該フレームがシステムがカウントの対象としないフレームであったことになり、したがって、システムは、状態0,0に戻って、新しいフレームに注目することになる。ステップ1012でRAMから出される命令は、次の状態が状態IP,1であることを示し、システムは、フレームの断片化フラグ領域に入れる3バイトデータを調べ、次のサイクルがRAMサイクルであることを示す。断片化がない場合又はそれが最初の断片である場合は、TCPフレームをカウントするよう割り当てられたカウンタがステップ1016でインクリメントされ、次いでステップ1018でフレームのバイトがカウントされる。また、断片化が存在し、それが前記以外の他の断片である場合(この場合がそうである)には、そのバイトだけがカウントされる。状態IP,1での命令により、システムは、6バイトだけ戻ってRAMサイクル中のヘッダ長に注目し、及び次の状態をIP,2にセットするように命令される。ヘッダ長フィールドが有効でない場合には、システムは、状態0,0に戻って新しいフレームに注目する。しかし、ステップ1020では、ヘッダ長が有効であり、これにより、TCP層の始まりがどこであるかがシステムに知らされる、ということが分かった。この特定の長さのフィールドに関するステップ1020での命令は、システムが20バイトだけ(TCPソースポートが位置する場所へと)進み、該TCPソースポートをCAM中の比較レジスタにロードする(これはステップ1022で行われる)ことである。CAM中の比較レジスタは比較レジスタ54とは異なること、即ち、前者はCAM62中の特定のレジスタであるが後者は統計FPGA320内に実施されたものであることに留意されたい。次いで、システムは、命令に従って状態IP,3になる。ステップ1024では、入力にかかわらず、ASM20は、宛先ポートをソースポート(I/P=xx)と比較してその小さい方を次のサイクル(CAMサイクル)で該

ASMに提示するよう要求する。該ASM20はまた、ポートが認識されない場合には、新しいパターン及び統計として追加されるものを該ASMへと収集するよう命令する。該命令によりステップ1026でポートが比較され、システムが状態IP,4(ステップ1028)へと移る。この場合には、ポートが認識されないため、ステップ1030でCAMにポートがロードされ、関連する統計RAMカウントをインクリメントさせる命令が出力される(ステップ1032)。次いで、アルゴリズムが最初にリセットされて、新しいパケットの待機を開始する。

【0048】本発明の特徴は、ルックアップテーブルが、プロセッサ及び記憶されたソフトウェアではなく状態マシンを利用することにある。状態マシンの好ましい実施形態は、CAM及びRAMを含むものであるが、他の方法で実施可能である。

【0049】本発明のもう1つの特徴は、ルックアップテーブルがCAMを利用することである。これにより、長いデータ部分を迅速に識別することが可能になる。CAMから出力されるアドレスは、RAMに入力されるとが好ましいが、情報を特定のアドレスに記憶する他の論理システムに入力することも可能である。また、アドレス出力を単にメモリに転送して後に処理することも可能である。

【0050】本発明の更に他の特徴は、PCIバス16上を通過するフレームの統計を収集する状態マシン20の能力が、所定のフレーム及びプロトコルタイプに制限されないことである。フレームヘッダを検査する際に、以前にシステム15により確認されなかった新しいパターンが見つかった場合には、ASM RAMマネージャ70は、統計FPGA320内に実施された論理ユニットに命令を出して、該新しいパターンをCAMに書き込ませることができる。また、カウンタRAM66に新しいカウンタを追加して、新しいパターンの発生をカウントすることができる。その後に新しいパターンが発生した際には、該新しいパターンの各発生毎に、該新しいパターンに対応する新しいカウンタがインクリメントされることになる。

【0051】本発明の別の特徴は、アドレスオフセット値を使用して、解析すべき次のデータフレーム部分を探し出すことにある。上述のように、該オフセット値は、システムが、解析すべき次の部分又は第2の部分を探し出すために、解析すべき現在の部分若しくは第1の部分のアドレス又は直前に解析したアドレスから進むべき正又は負のバイト数である。該オフセット値は、解析すべきフレームの次の部分のアドレスを生成するためにアドレス生成器52により使用される。該オフセットの使用には、2つの異なる長所が存在する。第1に、CAM62とRAM64に記憶しなければならない解析アルゴリズムの異なる分岐の数(即ち状態の数)が大幅に減少する。即ち、ヘッダの相対的な長さが変化するため、特定のフレ

ームヘッダの絶対アドレスは多くの異なる値をとり得るが、フレームヘッダの様々な部分の相対的な位置はほとんど変化しない。第2に、絶対アドレスを伝えるために必要な導体よりもオフセット値を伝えるために必要な導体の方が遥かに少ないため、状態マシンの出力をアドレス生成器に接続するのに必要な導体の数が大幅に減少する。

【0052】ギガビットという転送速度であっても、パケット網上に転送されるあらゆるフレームについての情報をユーザが収集することを可能にし、またその他の多くの利点を有する、新規なプロトコルアナライザと、パケット網使用時の情報の収集方法について説明してきた。本発明を十分に詳細に説明したので、当業者であれば、本発明の思想から逸脱することなく、既述の特定の実施形態の多くの使用及び修正を行うことが可能であることは明らかである。例えば、比較的単純な状態マシンを使用してパケット網の統計を収集することができることを開示したが、同目的のために別の状態マシンを設計することも可能である。プロトコルアナライザで使用するためにCAMを特に適合させたものを開示したので、CAMを用いた他のプロトコルアナライザを設計することも可能である。また、本明細書に記載した様々な構成要素及び回路の代わりに、それと等価な別の構成要素及び回路を用いることが可能であることは明らかである。また、更に別の機能を追加することも可能である。本明細書の実施形態よりも多数又は少数の部品を使用することも可能である。したがって、本発明は、本開示のプロトコルアナライザシステム及び情報収集方法が提供し及び/又は有する新規の機能及び該機能の新規の組み合せを包含するように解釈されるべきである。

【0053】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

【0054】1. パケット網(16)上のネットワーク統計情報を収集する装置(15)であって、前記パケット網上を移動するデータパケットを記憶するための入力バッファ(18)と、前記ネットワーク統計を記憶するための電子的なメモリ(66)とを備えており、前記入力バッファ及び前記電子的なメモリと通信を行う電子的なルックアップテーブル(20)であって、前記データパケットの少なくとも一部を解析し、及び前記統計情報を表す統計信号(94,95)を含む出力信号を提供する、電子的なルックアップテーブル(20)を備えており、該ルックアップテーブルが状態マシン(20)を備えていることを特徴とする、ネットワーク統計情報収集装置。

【0055】2. パケット網(16)上のネットワーク統計情報を収集する方法であって、前記パケット網上を移動するデータパケットをバッファ(18)に記憶し、前記データパケットに関連する統計信号を電子的なメモリ(66)に記憶し、これにより前記ネットワーク統計を記録し、前記データパケットの少なくとも一部を表す第1の信号を

電子的な状態マシン(20)に入力して、該前記状態マシンに前記統計信号を含む出力信号を提供させることを特徴とする、ネットワーク統計情報収集方法。

【0056】3. 前記状態マシンが連想記憶装置(CAM)(62)からなることを特徴とする、前項1に記載の装置又は前項2に記載の方法。

【0057】4. 前記状態マシンが更にランダムアクセスメモリ(RAM)(64)を備えている、前項1に記載の装置又は前項2に記載の方法。

【0058】5. 前記入力バッファが、前記データパケットの前記一部のビット数が所定数よりも大きい場合に該データパケットの一部を前記CAMに入力し、及び前記データパケットの前記一部のビット数が前記所定数以下の場合に該データパケットの一部を前記RAMに入力するための論理ユニット(50)を備えている、前項3に記載の装置又は方法。

【0059】6. 前記状態マシンが、CAM(62)を含む連想記憶装置(CAM)マネージャ論理ユニット(60)と、RAM(64)を含むランダムアクセスメモリ(RAM)マネージャ論理ユニット(70)と備えており、前記出力信号が前記RAMマネージャ論理ユニットから出力された信号からなる、前項1に記載の装置又は前項2に記載の方法。

【0060】7. 前記状態マシンが入力(86A)及び出力(90)を有しており、該出力が該入力に電気的に接続されている、前項1に記載の装置又は前項2に記載の方法。

【0061】8. 前記出力信号(89~95,40)が、前記メモリの所定のレジスタのカウントをインクリメントする命令と、前記メモリに新しいカウントレジスタを追加する命令と、前記パケット網上を移動する特定のデータセグメントをキャプチャRAMに記憶させるためにスナップショットトリガを生成する命令と、該装置によりまだ確認されていない前記パケット網上を移動するデータパケットのパターンに対応する新しい内容パターンを前記CAMに書き込む命令(833)と、解析中の現在のデータセグメントから所定のオフセット値だけオフセットされた、及び前記状態マシンにより解析されるべき、新しいデータセグメントを提供する命令と、前記データ部分を更に解析する命令とからなるグループから選択された1つの命令を含む、前項1に記載の装置又は前項2に記載の方法。

【0062】9. 前記出力信号がトリガ信号(437)を含み、前記装置(15)が、前記トリガ信号に応じて特定のデータパケットのPCIアドレスを記憶する論理ユニット(412)を備えている、前項1に記載の装置又は前項2に記載の方法。

【0063】10. 前記電子的なメモリが、第1のカウンタ部分(66A)及び第2のカウンタ部分(66B)を備えており、前記装置が、前記カウンタを用いて統計情報を収集するアクティブ状態と前記カウンタの読み出し処理を行う非アクティブ状態との間で前記第1のカウンタ部分と前記第2のカウンタ部分とを切り換えるハートビート制御論理回路(906,908)を更に備えている、前項1に記載の装置又は前項2に記載の方法。

【図面の簡単な説明】

【図1】本発明によるプロトコルアナライザを一般化した論理的な記載で示すブロック図である。

【図2】本発明によるプロトコルアナライザの好ましい実施形態の論理的な詳細を示すブロック図である。

【図3】図2の好ましい実施形態を実施するハードウェアを示すブロック図である。

【図4】図3の実施形態のFIFOセクションを示すブロック図である。

【図5】図3の実施形態の統計セクションを示すブロック図である。

【図6】図5の統計セクションのフレームヘッダバッファセクションを示すブロック図である。

【図7】図5の統計セクションのASM RAMマネージャ部分を示すブロック図である。

【図8】図5の統計セクションのCAMマネージャ部分を示すブロック図である。

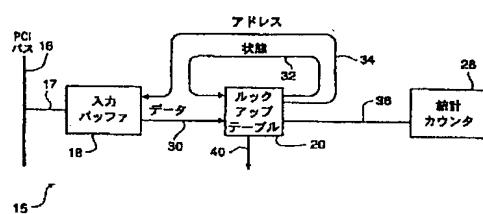
【図9】図5の統計セクションの統計カウンタ部分を示すブロック図である。

【図10】本発明のプロトコルアナライザによるTCP/IPフレームの構文解析の一例を示すフローチャートである。

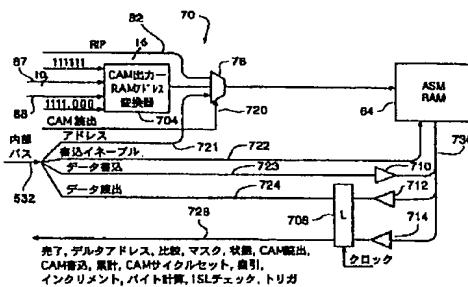
【符号の説明】

15	プロトコルアナライザ
18	入力バッファ
20	アルゴリズム状態マシン(ASM)
52	アドレス生成器
54	比較レジスタ
56	マスク
60	CAMマネージャ論理回路
62	CAM
40	ASM RAM
66	カウンタRAM
67	インクリメントラッチ
68	加算器ラッチ
72,74,76	セレクタ
80	キャプチャRAM

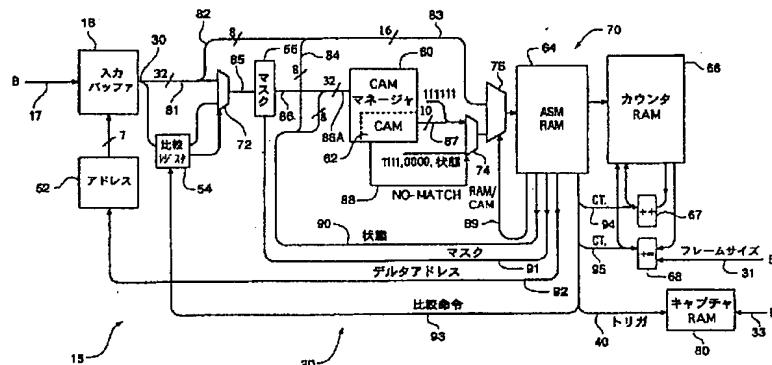
【図1】



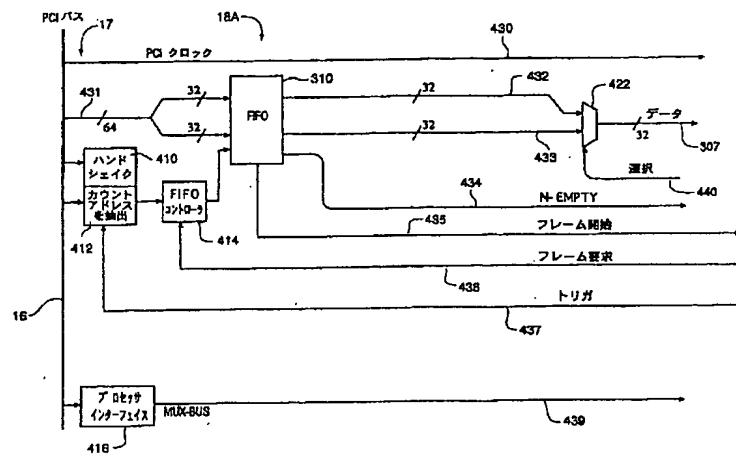
【図7】



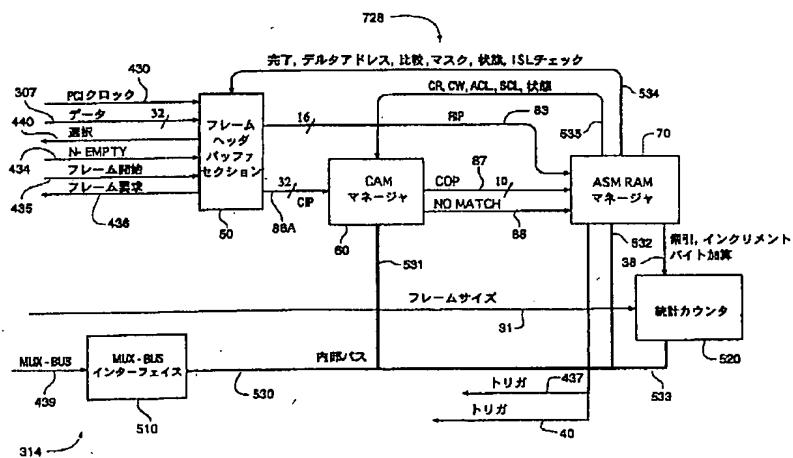
【図2】



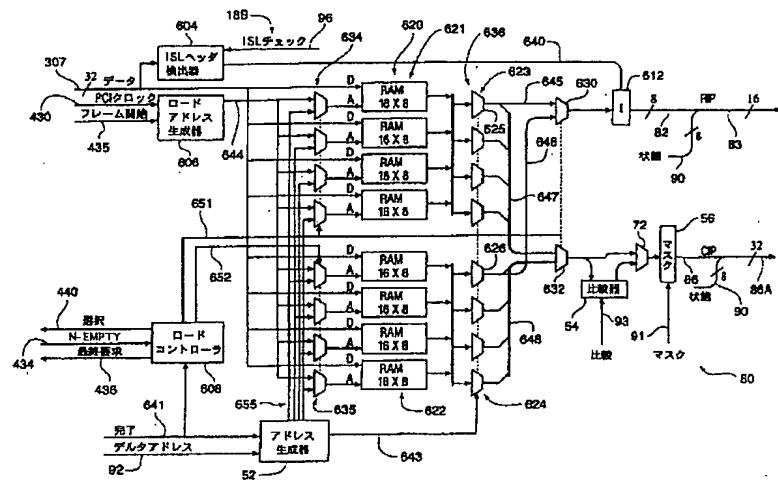
【図4】



【図5】



【図6】



【図10】

